

DATA TRANSFER DEVICE

Patent Number: JP4068453
Publication date: 1992-03-04
Inventor(s): UEDA CHITOSHI
Applicant(s):: NEC CORP
Requested Patent: JP4068453
Application Number: JP19900181193 19900709
Priority Number(s):
IPC Classification: G06F12/04 ; G06F13/28
EC Classification:
Equivalents:

Abstract

PURPOSE: To transfer a data corresponding to byte width by providing a function for rearranging the data for transferring the data when the arrangement of a source data is different from that of the objective data.

CONSTITUTION: An address holding part 1 holds either a read address or a write address, and a bus control part 2 activates a bus and controls the start and end of data transfer. Based on the control of the bus control part 2, a read register in a data holding part 3 holds a data in the source data to be specified by the read address held in the address holding part 1, and according to the control of a transfer control part 4, a write register in the data holding part 3 holds a data shifting the data in the read register so as to be suitable for the arrangement of the objective data. Then, the transfer control part 4 controls the operations of the address holding part 1, bus control part 2 and data holding part 3. Thus, the data can be transferred corresponding to the byte width of the data bus.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-68453

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月4日

G 06 F 12/04
13/285 4 0
3 1 0 M8841-5B
7052-5B

審査請求 未請求 請求項の数 2 (全12頁)

⑭ 発明の名称 データ転送装置

⑯ 特 願 平2-181193

⑰ 出 願 平2(1990)7月9日

⑱ 発 明 者 上 田 千 俊 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 河原 純一

明 細 書

1. 発明の名称

データ転送装置

2. 特許請求の範囲

(1) 複数バイト幅のデータバスとアドレスバスとを含むバスを介したソースデータと目的データとの間のデータ転送を行うデータ転送装置において、

読み込みアドレスおよび書き込みアドレスのいずれかを保持しそのアドレスをアドレスバス上に出力するアドレス保持部と、

バスを起動しデータ転送の開始および終了を制御するバス制御部と、

このバス制御部による制御に基づき前記アドレス保持部に保持されている読み込みアドレスにより特定されるソースデータ中のデータを保持する読み込みレジスタと、転送制御部による制御により前記読み込みレジスタ内のデータが目的データの並びに適合するようにシフトされたデータを保持する書き込みレジスタとを含むデータ保持部と、

前記アドレス保持部、前記バス制御部および前記データ保持部の動作を制御する前記転送制御部と

を有することを特徴とするデータ転送装置。

(2) 複数バイト幅のデータバスとアドレスバスとを含むバスを介したソースデータと目的データとの間のデータ転送を行うデータ転送装置において、

読み込みアドレスおよび書き込みアドレスのいずれかを保持しそのアドレスをアドレスバス上に出力するアドレス保持部と、

バスを起動しデータ転送の開始および終了を制御するバス制御部と、

このバス制御部による制御に基づき前記アドレス保持部に保持されている読み込みアドレスにより特定されるソースデータ中のデータを保持する読み込みレジスタと、転送制御部による制御および有効フラグに基づくシフト制御部の制御により前記読み込みレジスタ内のデータが目的データの並びに適合するようにシフトされたデータを保持

する書き込みレジスタとを含むデータ保持部と、
前記アドレス保持部、前記バス制御部および前記データ保持部の動作を制御する前記転送制御部と

を有することを特徴とするデータ転送装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、複数バイト幅のデータバスとアドレスバスとを含むバス(コンピュータのバス)に接続されたメモリおよび周辺装置を対象とするデータ転送(メモリまたは周辺装置内のソースデータからメモリまたは周辺装置内の目的データへのデータ転送)を行うデータ転送装置に関する。

(従来の技術)

第11図は、この種のデータ転送装置が適用されるコンピュータシステムの一例の構成を示すブロック図である。このコンピュータシステムは、CPU(Central Processing Unit)と、メモリ(4バイト幅のメモリ)と、データ転送装置と、周辺装置と、バスとを含む

クの並びと目的データの並びとが異なっている場合のデータ転送におけるデータの並び替え機能を有し、データバスのバイト幅に応じたデータ転送を可能とし、バスの使用効率の低下を回避することが出来るデータ転送装置を提供することにある。

(課題を解決するための手段)

本発明のデータ転送装置は、複数バイト幅のデータバスとアドレスバスとを含むバスを介したソースデータと目的データとの間のデータ転送を行うデータ転送装置において、読み込みアドレスおよび書き込みアドレスのいずれかを保持しそのアドレスをアドレスバス上に出力するアドレス保持部と、バスを起動しデータ転送の開始および終了を制御するバス制御部と、このバス制御部による制御に基づき前記アドレス保持部に保持されている読み込みアドレスにより特定されるソースデータ中のデータを保持する読み込みレジスタと転送制御部による制御により前記読み込みレジスタ内のデータが目的データの並びに適合するようにシフトされたデータを保持する書き込みレジスタと

んで構成されている。

バスは、4バイト幅のデータバスと、アドレスバスと、バス制御線とを含んで構成されている。

第11図に示すようなコンピュータシステムに適用される従来のデータ転送装置は、ソースデータの並びと目的データの並びとが異なっている場合(第3図および第8図に示すような場合)のデータ転送において、バイト毎にソースデータの読み込みと目的データの書き込みとを行ってデータ転送を実現しており、ワード(ロングワード)単位のデータ転送を行うことができなかった。

(発明が解決しようとする課題)

上述した従来のデータ転送装置では、ソースデータの並びと目的データの並びとが異なっている場合に、バイト単位のデータ転送しか行うことができないので、第11図に示すようにデータバスが複数バイト幅であってもバイト毎にデータバスを使用しなければならず、データバスの使用効率が大幅に低下するという欠点がある。

本発明の目的は、上述の点に鑑み、ソースデー

を含むデータ保持部と、前記アドレス保持部、前記バス制御部および前記データ保持部の動作を制御する前記転送制御部とを有する。

また、本発明のデータ転送装置は、複数バイト幅のデータバスとアドレスバスとを含むバスを介したソースデータと目的データとの間のデータ転送を行うデータ転送装置において、読み込みアドレスおよび書き込みアドレスのいずれかを保持しそのアドレスをアドレスバス上に出力するアドレス保持部と、バスを起動しデータ転送の開始および終了を制御するバス制御部と、このバス制御部による制御に基づき前記アドレス保持部に保持されている読み込みアドレスにより特定されるソースデータ中のデータを保持する読み込みレジスタと転送制御部による制御および有効フラグに基づくシフト制御部の制御により前記読み込みレジスタ内のデータが目的データの並びに適合するようにシフトされたデータを保持する書き込みレジスタとを含むデータ保持部と、前記アドレス保持部、前記バス制御部および前記データ保持部の動作を

制御する前記転送制御部とを有する。

(作用)

本発明のデータ転送装置では、アドレス保持部が読み込みアドレスおよび書き込みアドレスのいずれかを保持しそのアドレスをアドレスバス上に出力し、バス制御部がバスを起動しデータ転送の開始および終了を制御し、データ保持部内の読み込みレジスタがバス制御部による制御に基づきアドレス保持部に保持されている読み込みアドレスにより特定されるソースデータ中のデータを保持し、データ保持部内の書き込みレジスタが転送制御部による制御により読み込みレジスタ内のデータが目的データの並びに適合するようにシフトされたデータを保持し、転送制御部がアドレス保持部、バス制御部およびデータ保持部の動作を制御する。

また、本発明のデータ転送装置では、アドレス保持部が読み込みアドレスおよび書き込みアドレスのいずれかを保持しそのアドレスをアドレスバス上に出力し、バス制御部がバスを起動しデータ

バス制御部2はバス中のバス制御線に接続されており、データ保持部3はバス中のデータバスに接続されている。

第2図を参照すると、データ保持部3は、読み込み用の4バイトレジスタ(1バイトのデータレジスタの4バイト分の集合)である読み込みレジスタと、読み込みレジスタの左シフト方向に存在する書き込み用の4バイトレジスタである書き込みレジスタとからなる(各レジスタはバイト単位に左シフトすることができる構成になっている)。第2図において、例えば「D0-7」という表示はデータバス上の「第0〜7ビットの1バイト」を示す。

第3図は、データ転送の対象となるソースデータおよび目的データの並びの一例を示す図である。第3図において、ロングワード(4バイト幅)中の最上位バイトのアドレスを説明の便宜上「基準アドレス」と呼ぶ。

第4図は、データ転送が行われる際のデータ保持部3におけるデータの流れの一例を示す図であ

転送の開始および終了を制御し、データ保持部内の読み込みレジスタがバス制御部による制御に基づきアドレス保持部に保持されている読み込みアドレスにより特定されるソースデータ中のデータを保持し、データ保持部内の書き込みレジスタが転送制御部による制御および有効フラグに基づくシフト制御部の制御により読み込みレジスタ内のデータが目的データの並びに適合するようにシフトされたデータを保持し、転送制御部がアドレス保持部、バス制御部およびデータ保持部の動作を制御する。

(実施例)

次に、本発明について図面を参照して詳細に説明する。

第1図は、本発明のデータ転送装置の一実施例の構成を示すブロック図である。本実施例のデータ転送装置は、アドレス保持部1と、バス制御部2と、データ保持部3と、転送制御部4とを含んで構成されている。アドレス保持部1はバス(第11図参照)中のアドレスバスに接続されており、

る。

第5図は、転送制御部4の処理を示す流れ図である。この処理は、読み込み指示ステップ101と、バス制御部終了判定ステップ102と、シフト指示ステップ103と、読み込み指示ステップ104と、バス制御部終了判定ステップ105と、シフト指示ステップ106と、書き込み指示ステップ107と、バス制御部終了判定ステップ108と、シフト指示ステップ109と、書き込みアドレス更新ステップ110と、転送終了判定ステップ111と、残データ有無判定ステップ112と、シフト指示ステップ113と、書き込み指示ステップ114と、バス制御部終了判定ステップ115とからなる。

次に、このように構成された本実施例のデータ転送装置の動作について説明する。なお、ここでは第11図に示すような構成のコンピュータシステムにおいて、第3図中のソースデータ(メモリ上のアドレスADR1を先頭アドレスとするソースデータ)から第3図中の目的データ(メモリ上

のアドレスADR2を先頭アドレスとする目的データへのデータ転送が行われる場合の動作について説明する。

この場合には、転送制御部4および転送制御部4によって制御されるアドレス保持部1、バス制御部2およびデータ保持部3は以下に示すような処理を行う(第5図参照)。

まず、転送制御部4は、アドレス保持部1にソースデータの先頭アドレスADR1を読み込みアドレスとしてセットし、バス制御部2に対しアドレス保持部1にセットされた読み込みアドレスに基づくデータの読み込み指示を行う(この読み込み指示では、アドレスADR1と基準アドレスとの差分に応じて無効データのバイト数が指定される)(ステップ101)。

転送制御部4は、この読み込み指示の発行後に、バス制御部2からの読み込み完了通知の有無の判定(バス制御部2の終了判定)をその読み込み完了通知が発行されるまで繰り返す(ステップ102)。

バス制御部2は転送制御部4に読み込み完了通知を発行する。

この読み込み完了通知の発行によりステップ102の判定が「Y(Yes)」となると、転送制御部4はデータ保持部3に左方向のシフト指示を行う(ステップ103)。この場合のシフト数はデータバスのバイト幅の4バイトである。

データ保持部3は、このシフト指示を受けて第4図フェーズIIに示すように左シフトを行う。

さらに、転送制御部4は、次の読み込みのために、読み込みアドレスをアドレス「ADR1+2」(それまでの読み込みアドレスよりも大きな基準アドレスの中で最小のもの。次のロングワード中の最上位バイトのアドレス)に更新し、更新後の読み込みアドレスをアドレス保持部1にセットし、バス制御部2に対して次のデータの読み込み指示を行う(ステップ104)。

転送制御部4は、この読み込み指示の発行後に、バス制御部2からの読み込み完了通知の有無の判定をその読み込み完了通知が発行されるまで繰り返す(ステップ105)。

一方、転送制御部4からの読み込み指示に基づき、バス制御部2はメモリ内の読み込みアドレスに対する読み込み動作を開始し、まずアドレス保持部1に対してアドレスバスへのアドレス出力(アドレス保持部1に保持されているアドレスの出力)を指示する。

アドレス保持部1は、バス制御部2からのこの指示に基づき、転送制御部4によってセットされた読み込みアドレスをアドレスバス上に出力する。

この読み込みアドレスのデータがメモリから出力されてデータバス上で確定すると、バス制御部2はデータ保持部3に対してそのデータの保持を指示する。

この場合のデータバス上のデータ転送(メモリからデータ保持部3へのデータ転送)は、上位2バイトが無効データの4バイト転送となる。

上述のバス制御部2からの指示に基づき、データ保持部3はデータバス上のデータを読み込みレジスタにセットする(第4図フェーズI参照)。

データがデータ保持部3に読み込まれた後に、

返す(ステップ105)。

一方、転送制御部4からの読み込み指示に基づき、バス制御部2はメモリ内の読み込みアドレスからの4バイト分のデータをデータ保持部3に保持させ(第4図フェーズIII参照)、その後に読み込み完了通知を転送制御部4に発行する。なお、この場合のデータバス上のデータ転送は、データバスのバイト幅に応じた転送(無効データの無い4バイト転送)となる。

この読み込み完了通知の発行によりステップ105の判定が「Y」となると、転送制御部4は、ソースデータと目的データとの並び替えを行うためにデータのシフト数(本実施例では、アドレスADR1とそのアドレスを含むロングワード中の基準アドレスとの差分からアドレスADR2とそのアドレスを含むロングワード中の基準アドレスとの差分を減じた値である2バイト)を求め、求めたシフト数でデータ保持部3に対して左方向のシフト指示を行う(ステップ106)。

データ保持部3は、このシフト指示を受けて第

4図フェーズⅣに示すように左シフトを行う。

この左シフトの完了後に、転送制御部4は目的データに対する書き込み動作を開始する。すなわち、アドレス保持部1に目的データの先頭アドレスADR2を書き込みアドレスとしてセットし、バス制御部2に対しアドレス保持部1にセットされた書き込みアドレスに基づくデータの書き込み指示を行う(ステップ107)。

転送制御部4は、この書き込み指示の発行後に、バス制御部2からの書き込み完了通知の有無の判定(バス制御部2の終了判定)をその書き込み完了通知が発行されるまで繰り返す(ステップ108)。

一方、転送制御部4からの書き込み指示に基づき、バス制御部2はメモリ内の書き込みアドレスに対する書き込み動作を開始し、まずアドレス保持部1に対してアドレスバスへのアドレス出力を指示する。

アドレス保持部1は、バス制御部2からのこの指示に基づき、転送制御部4によってセットされ

に、書き込みアドレスをアドレス「ADR2+4」(それまでの書き込みアドレスよりも大きな基址アドレスの中で最小のもの。次のロングワード中の最上位バイトのアドレス)に更新する(ステップ110)。

次に、転送制御部4は、転送終了か否か(ソースデータを全てデータ保持部3に転送したか否か)を判定し(ステップ111)、転送終了と判定するまでステップ103～110の処理および判定を繰り返す。

転送終了時に、データ保持部3に残データが残ることがある(例えば、第4図フェーズⅤの状態)。

転送制御部4は、このような残データが存在するか否かを判定する(ステップ112)。

この判定で残データが存在する場合には、転送制御部4は、最後の書き込みのために、シフト数(ステップ106で求めたシフト数と同一の値)を求めてデータ保持部3に対して左方向のシフト指示を行う(ステップ113)。

た書き込みアドレスをアドレスバス上に出力する。

また、バス制御部2は、データ保持部3に対して書き込みレジスタの内容(データ)をデータバスに出力するように指示する。

データバスに出力された書き込みレジスタ内のデータが書き込みアドレスにより特定されるメモリ内のロングワードに書き込まれた後に、バス制御部2は転送制御部4に書き込み完了通知を発行する。

この書き込み完了通知の発行によりステップ108の判定が「Y」となると、転送制御部4はデータ保持部3に左方向のシフト指示を行う(ステップ109)。この場合のシフト数は、データバスのバイト幅からステップ106で求めたシフト数を減じた値であり、本実施例では2バイトである。

データ保持部3は、転送制御部4からのシフト指示を受けて第4図フェーズⅤに示すように左シフトを行う。

さらに、転送制御部4は、次の書き込みのため

データ保持部3は、このシフト指示を受けて第4図フェーズⅥに示すように左シフトを行う。

この左シフトの完了後に、転送制御部4はアドレス保持部1に書き込みアドレスをセットし、バス制御部2に対しアドレス保持部1にセットされた書き込みアドレスに基づく残データの書き込み指示を行う(ステップ114)。

転送制御部4は、この書き込み指示の発行後に、バス制御部2からの書き込み完了通知の有無の判定をその書き込み完了通知が発行されるまで繰り返す(ステップ115)。

一方、バス制御部2は、転送制御部4からの書き込み指示に基づき、データ保持部3内の残データを書き込みアドレスにより特定されるメモリ内のロングワードに書き込むように制御し、その書き込み後に転送制御部4に書き込み完了通知を発行する。

この書き込み完了通知の発行によりステップ115の判定が「Y」となると、転送制御部4は処理を終了する。

ステップ112の判定で残データが存在しない場合には、転送制御部4は処理を終了する。

以上の動作により、データの並び替えを伴うデータ転送が可能となる。

なお、周辺装置内の目的データへのデータ転送においては、周辺装置に割り当てられる書き込みアドレスの更新は行われず、書き込みアドレスの領域に書き込まれたデータが周辺装置内の他の領域に順次転送されていく。また、周辺装置内のソースデータからのデータ転送においては、周辺装置に割り当てられる読み込みアドレスの更新は行われず、読み込みアドレスの領域から読み込まれるデータは周辺装置内の他の領域から順次転送されてくる。

第6図は、本発明のデータ転送装置の他の実施例の構成を示すブロック図である。本実施例のデータ転送装置は、アドレス保持部5と、バス制御部6と、有効フラグ付きのデータ保持部7と、転送制御部8とを含んで構成されている。アドレス保持部5はバス(第11図参照)中のアドレスバ

スをシフト方向のデータレジスタおよび有効ビットに転送する制御を行う。

有効ビットは、シフト制御部からの制御と自分に対応するデータレジスタへのデータの書き込みとに基づいてセットされ、転送制御部8からの直接的な制御に基づいてセット/リセットされる。

第8図は、データ転送の対象となるソースデータおよび目的データの並びの一例を示す図である。第8図において、ロングワード(4バイト幅)中の最上位バイトのアドレスを説明の便宜上「基準アドレス」と呼ぶ。

第9図は、データ転送が行われる際のデータ保持部7におけるデータの流れの一例を示す図である。

第10図は、転送制御部8の処理を示す流れ図である。この処理は、読み込み指示ステップ201と、バス制御部終了判定ステップ202と、シフト指示ステップ203と、読み込み指示ステップ204と、バス制御部終了判定ステップ205と、シフト指示ステップ206と、書き込み指示

ステップ207と、バス制御部終了判定ステップ208と、有効ビットクリアおよびシフト指示ステップ209と、書き込みアドレス更新ステップ210と、転送終了判定ステップ211と、残データ有無判定ステップ212と、書き込み指示ステップ213と、バス制御部終了判定ステップ214とからなる。

第7図を参照すると、データ保持部3は、読み込み用の4バイトレジスタ(1バイトのデータレジスタの4バイト分の集合)である読み込みレジスタと、読み込みレジスタの左シフト方向に存在する書き込み用の4バイトレジスタである書き込みレジスタとからなる(各レジスタはバイト単位に左シフトすることができる構成になっている)。第7図において、例えば「D0-7」という表示はデータバス上の「第0~7ビットの1バイト」を示す。

また、データ保持部3は、各データレジスタに対応して、有効ビットとデータレジスタおよび有効ビットのシフト動作を制御するシフト制御部とを含んで構成されている。

シフト制御部は、自分から見てシフト方向(第7図においては左方向)の有効ビットがセットされていないならばデータレジスタおよび有効ビット

ステップ207と、バス制御部終了判定ステップ208と、有効ビットクリアおよびシフト指示ステップ209と、書き込みアドレス更新ステップ210と、転送終了判定ステップ211と、残データ有無判定ステップ212と、書き込み指示ステップ213と、バス制御部終了判定ステップ214とからなる。

次に、このように構成された本実施例のデータ転送装置の動作について説明する。なお、ここでは第11図に示すような構成のコンピュータシステムにおいて、第8図中のソースデータ(メモリ上のアドレスADR3を先頭アドレスとするソースデータ)から第8図中の目的データ(メモリ上のアドレスADR4を先頭アドレスとする目的データ)へのデータ転送が行われる場合の動作について説明する。

この場合には、転送制御部8および転送制御部8によって制御されるアドレス保持部5、バス制御部6およびデータ保持部7は以下に示すような処理を行う(第10図参照)。

まず、転送制御部8は、アドレス保持部5にソースデータの先頭アドレスADR3を読み込みアドレスとしてセットし、バス制御部6に対しアドレス保持部5にセットされた読み込みアドレスに基づくデータの読み込み指示を行う（この読み込み指示では、アドレスADR3と基準アドレスとの差分に応じて無効データのバイト数が指定される）。また、後述するように、データ保持部7内の読み込みレジスタへのデータのセットに合わせて有効ビットのセットを行う（ステップ201）。

転送制御部8は、この読み込み指示の発行後に、バス制御部6からの読み込み完了通知の有無の判定（バス制御部6の終了判定）をその読み込み完了通知が発行されるまで繰り返す（ステップ202）。

一方、転送制御部8からの読み込み指示に基づき、バス制御部6はメモリ内の読み込みアドレスに対する読み込み動作を開始し、まずアドレス保持部5に対してアドレスバスへのアドレス出力（アドレス保持部5に保持されているアドレスの出

力）を指示する。

アドレス保持部5は、バス制御部6からのこの指示に基づき、転送制御部8によってセットされた読み込みアドレスをアドレスバス上に出力する。

この読み込みアドレスのデータがメモリから出力されてデータバス上で確定すると、バス制御部6はデータ保持部7に対してそのデータの保持を指示する。

この場合のデータバス上のデータ転送（メモリからデータ保持部7へのデータ転送）は、上位2バイトが無効データの4バイト転送となる。

上述のバス制御部6からの指示に基づき、データ保持部7はデータバス上のデータを読み込みレジスタにセットする（なお、転送制御部8の制御により、読み込みレジスタ中のデータレジスタに対応する有効ビットは目的データの最初のロングワードにおけるデータ並びに対応した形式でセットされる）（第9図フェーズI参照）。

データがデータ保持部7に読み込まれた後に、バス制御部6は転送制御部8に読み込み完了通知

を発行する。

この読み込み完了通知の発行によりステップ202の判定が「Y（Yes）」となると、転送制御部8はデータ保持部7に左方向のシフト指示を行う（ステップ203）。

データ保持部7は、このシフト指示を受けて、有効ビットの状態に基づくシフト制御部の制御により、順次左シフトを行う。これにより、データ保持部7内のデータレジスタおよび有効ビットは第9図フェーズIIの状態になる。

さらに、転送制御部8は、次の読み込みのために、読み込みアドレスをアドレス「ADR3+2」（それまでの読み込みアドレスよりも大きな基準アドレスの中で最小のもの。次のロングワード中の最上位バイトのアドレス）に更新し、更新後の読み込みアドレスをアドレス保持部5にセットし、バス制御部6に対して次のデータの読み込み指示を行う（ステップ204）。

転送制御部8は、この読み込み指示の発行後に、バス制御部6からの読み込み完了通知の有無の判

定をその読み込み完了通知が発行されるまで繰り返す（ステップ205）。

一方、転送制御部8からの読み込み指示に基づき、バス制御部6はメモリ内の読み込みアドレスからの4バイト分のデータをデータ保持部7に保持させ（このときに、データが保持されたデータレジスタに対応する有効ビットはセットされる）（第9図フェーズIII参照）、その後読み込み完了通知を転送制御部8に発行する。

この読み込み完了通知の発行によりステップ205の判定が「Y」となると、転送制御部8は読み込まれたデータを左詰めにするためにデータ保持部7に対して左方向のシフト指示を行う（ステップ206）。

データ保持部7は、このシフト指示を受けて、有効ビットの状態に基づくシフト制御部の制御により、第9図フェーズIVに示すように左シフトを行う。

この左シフトの完了後に、転送制御部8は目的データに対する書き込み動作を開始する。すなわ

ら、アドレス保持部5に目的データの先頭アドレスADR4を書き込みアドレスとしてセットし、バス制御部6に対しアドレス保持部5にセットされた書き込みアドレスに基づくデータの書き込み指示を行う(ステップ207)。

転送制御部8は、この書き込み指示の発行後に、バス制御部6からの書き込み完了通知の有無の判定(バス制御部6の終了判定)をその書き込み完了通知が発行されるまで繰り返す(ステップ208)。

一方、転送制御部8からの書き込み指示に基づき、バス制御部6はメモリ内の書き込みアドレスに対する書き込み動作を開始し、まずアドレス保持部5に対してアドレスバスへのアドレス出力を指示する。

アドレス保持部5は、バス制御部6からのこの指示に基づき、転送制御部8によってセットされた書き込みアドレスをアドレスバス上に出力する。

また、バス制御部6は、データ保持部7に対して書き込みレジスタの内容(データ)をデータバ

スに出力するように指示する。

データバスに出力された書き込みレジスタ内のデータ(有効データ)が書き込みアドレスにより特定されるメモリ内のロングワードに書き込まれた後に、バス制御部6は転送制御部8に書き込み完了通知を発行する。

この書き込み完了通知の発行によりステップ208の判定が「Y」となると、転送制御部8はデータ保持部7の左側4バイト分のデータレジスタ(書き込みレジスタ)に対応する有効ビットをクリア(リセット)してデータ保持部7に左方向のシフト指示を行う(ステップ209)。

データ保持部7は、このシフト指示を受けて、有効ビットの状態に基づくシフト制御部の制御により、第9図フェーズVIに示すように左シフトを行う。

さらに、転送制御部8は、次の書き込みのために、書き込みアドレスをアドレス「ADR4+3」(それまでの書き込みアドレスよりも大きな基準アドレスの中で最小のもの、次のロングワード

中の最上位バイトのアドレス)に更新する(ステップ210)。

次に、転送制御部8は、転送終了か否か(ソースデータを全てデータ保持部7に転送したか否か)を判定し(ステップ211)、転送終了と判定するまでステップ204~210の処理および判定を繰り返す。

転送終了時に、データ保持部7に残データが残ることがある(例えば、第9図フェーズVIの状態)。

転送制御部8は、このような残データが存在するか否かを判定する(ステップ212)。

この判定で残データが存在する場合には、転送制御部8は、最後の書き込みのために、アドレス保持部5に書き込みアドレスをセットし、バス制御部6に対しアドレス保持部5にセットされた書き込みアドレスに基づく残データの書き込み指示を行う(ステップ213)。

転送制御部8は、この書き込み指示の発行後に、バス制御部6からの書き込み完了通知の有無の判

定をその書き込み完了通知が発行されるまで繰り返す(ステップ214)。

一方、バス制御部6は、転送制御部8からの書き込み指示に基づき、データ保持部7内の残データを書き込みアドレスにより特定されるメモリ内のロングワードに書き込むように制御し、その書き込み後に転送制御部8に書き込み完了通知を発行する。

この書き込み完了通知の発行によりステップ214の判定が「Y」となると、転送制御部8は処理を終了する。

ステップ212の判定で残データが存在しない場合には、転送制御部8は処理を終了する。

以上の動作により、データの並び替えを伴うデータ転送が可能となる。

なお、周辺装置内の目的データへのデータ転送においては、周辺装置に割り当てられる書き込みアドレスの更新は行われず、書き込みアドレスの領域に書き込まれたデータが周辺装置内の他の領域に順次転送されていく。また、周辺装置内のソ

ソースデータからのデータ転送においては、周辺装置に割り当てられる読み込みアドレスの更新は行われず、読み込みアドレスの領域から読み込まれるデータは周辺装置内の他の領域から順次転送されてくる。

(発明の効果)

以上説明したように本発明は、ソースデータの並びと目的データの並びとが異なっている場合のデータ転送のためにデータの並び替え機能を設けることにより、ソースデータの並びと目的データの並びとが異なっているデータ転送においてもデータバスのバイト幅に応じたデータ転送を行うことが可能となり、データバスの使用効率を低下させることがなくなるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示すブロック図、

第2図は第1図中のデータ保持部の構成を示す図、

第3図は第1図に示すデータ転送装置によるデ

ータ転送の対象となるソースデータおよび目的データの並びの一例を示す図、

第4図はデータ転送が行われる際の第2図に示すデータ保持部におけるデータの流れの一例を示す図、

第5図は第1図中の転送制御部の処理を示す流れ図、

第6図は本発明の他の実施例の構成を示すブロック図、

第7図は第6図中のデータ保持部の構成を示す図、

第8図は第6図に示すデータ転送装置によるデータ転送の対象となるソースデータおよび目的データの並びの一例を示す図、

第9図はデータ転送が行われる際の第7図に示すデータ保持部におけるデータの流れおよび有効ビットのセット/リセットの態様の一例を示す図、

第10図は第6図中の転送制御部の処理を示す流れ図、

第11図は第1図または第6図に示すデータ転

送装置を含むコンピュータシステムの構成の一例を示す図である。

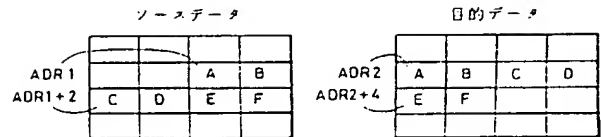
図において、

1. 5・・・アドレス保持部、
2. 6・・・バス制御部、
3. 7・・・データ保持部、
4. 8・・・転送制御部である。

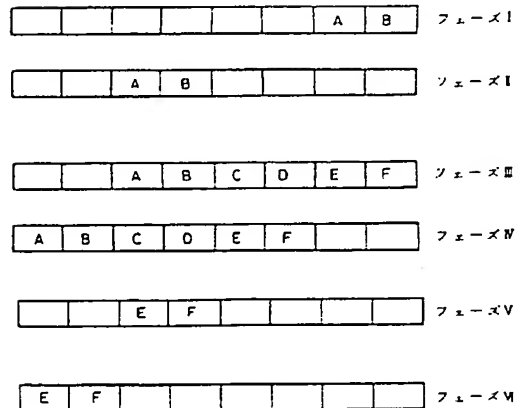
特許出願人 日本電気株式会社

代理人 弁理士 河原 純一

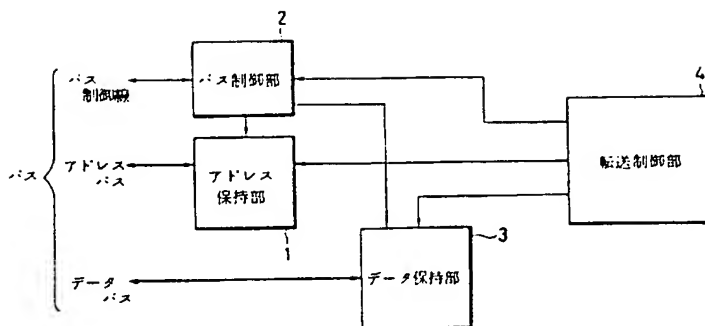
第3図



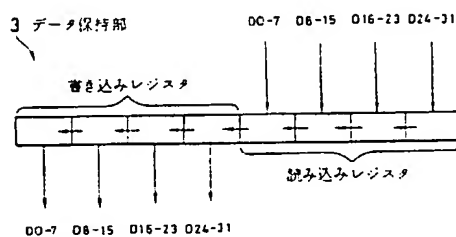
第4図



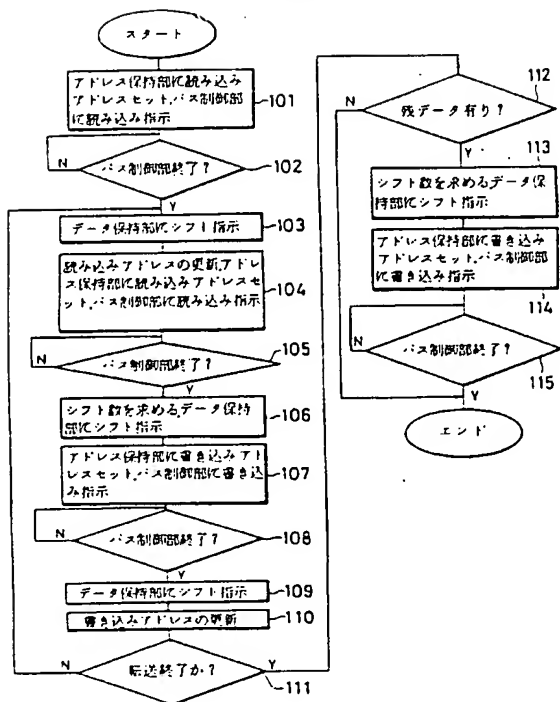
第 1 図



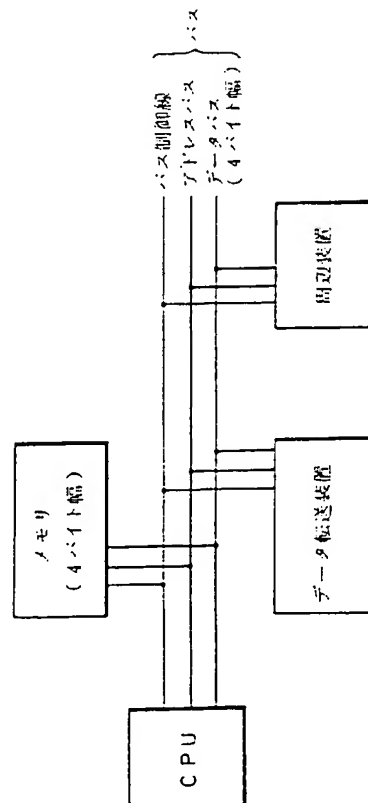
第 2 図



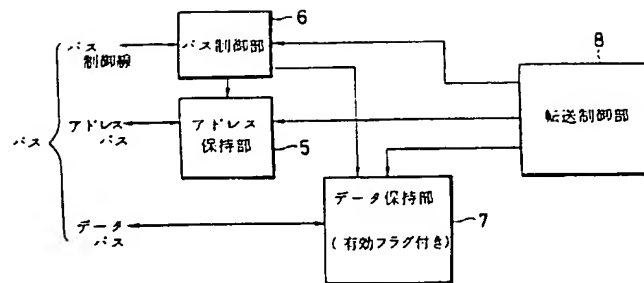
第 5 図



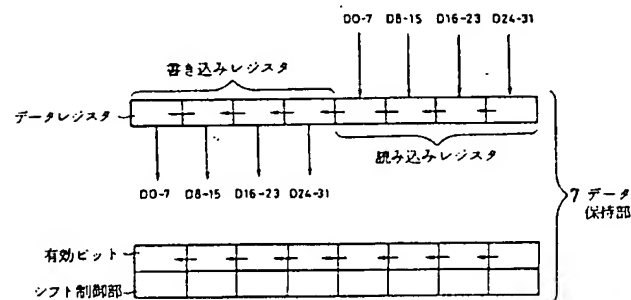
第 11 図



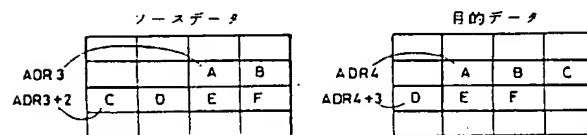
第 6 図



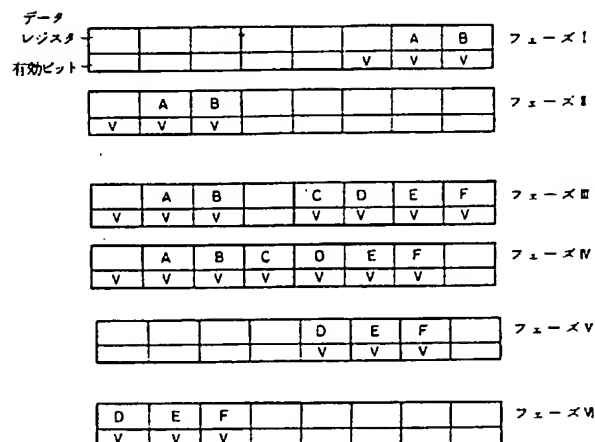
第 7 図



第 8 図



第 9 図



第10図

